

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Michihiro OHSUGE
Title: PATTERN GENERATION CIRCUIT, MULTI-PATH DETECTION CIRCUIT
EMPLOYING THE SAME AND MULTI-PATH DETECTION METHOD
Appl. No.: Unassigned
Filing Date: January 29, 2001
Examiner: Unassigned
Art Unit: Unassigned



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 2000-024559 filed February 2, 2000.

Respectfully submitted,

Date January 29, 2001

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By

Phillip J. Articola

Reg. No.
38,819

for /

David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月 2日

出 願 番 号

Application Number:

特願2000-024559

出 願 人

Applicant(s):

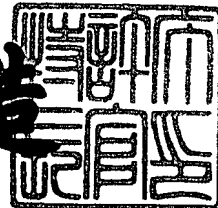
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3100175

【書類名】 特許願

【整理番号】 53209258

【提出日】 平成12年 2月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/00

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 大菅 道広

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088812

【弁理士】

【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

【予納台帳番号】 030982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パターン生成回路及びそれを用いたマルチパス検出回路並びにそのマルチパス検出方法

【特許請求の範囲】

【請求項 1】 伝送路の遅延プロファイルにおける相関ピークの理論パターンを生成する生成手段と、検出した相関ピークの電力成分を前記生成手段で生成された前記相関ピークの理論パターンを用いて前記遅延プロファイルから除去する除去手段とを有することを特徴とするパターン生成回路。

【請求項 2】 伝送路の遅延プロファイルにおける相関ピークの理論パターンを生成する生成手段と、検出した相関ピークの電力成分を前記生成手段で生成された前記相関ピークの理論パターンを用いて前記遅延プロファイルから順次除去する除去手段とを有することを特徴とするパターン生成回路。

【請求項 3】 前記除去手段は、遅延プロファイルデータから第一位のパスの相関電力が除外されたプロファイルから第 2 位のピークレベル及びピーク位置を得た後に、当該プロファイルから第 2 位のパスの相関電力が除外されたプロファイルから第 3 位のピークレベル及びピーク位置を得るよう構成したことを特徴とする請求項 2 記載のパターン生成回路。

【請求項 4】 前記除去手段は、予め設定された一定値を全サンプル中の最大値に掛け合わせることで前記サンプルのうちの最も遅延時間の少ないサンプルを最大点として選択するよう構成したことを特徴とする請求項 2 または請求項 3 記載のパターン生成回路。

【請求項 5】 前記除去手段は、予め設定された一定値を全サンプル中の最大値に掛け合わせることで前記サンプルのうちの最も遅延時間の大きいサンプルを最大点として選択するよう構成したことを特徴とする請求項 2 または請求項 3 記載のパターン生成回路。

【請求項 6】 前記理論パターンは、前記伝送路における帯域制限に用いられるチャネルフィルタに設定された係数を基に予め作成するようにしたことを特徴とする請求項 2 から請求項 5 のいずれか記載のパターン生成回路。

【請求項 7】 前記理論パターンは、前記遅延プロファイルの 1 パス時のピーク形状を示すようにしたことを特徴とする請求項 2 から請求項 6 のいずれか記載のパターン生成回路。

【請求項 8】 前記理論パターンは、前記遅延プロファイルの 1 パス時のピーク形状及びそれに含まれるサイドローブを示すようにしたことを特徴とする請求項 2 から請求項 6 のいずれか記載のパターン生成回路。

【請求項 9】 伝送路の遅延プロファイルを測定してマルチパスのタイミングを検出するマルチパス検出回路であって、前記遅延プロファイルにおける関連ピークの理論パターンを生成する生成手段と、前記生成手段で生成された前記関連ピークの理論パターンに基づいて関連ピークの位置を検出する検出手段とを有することを特徴とするマルチパス検出回路。

【請求項 10】 前記検出手段は、検出した関連ピークの電力成分を前記関連ピークの理論パターンを用いて前記遅延プロファイルから順次除去する除去手段と、前記除去手段で関連ピークの電力成分が除去された遅延プロファイルから前記関連ピークの位置を順次検出する手段とを含むことを特徴とする請求項 9 記載のマルチパス検出回路。

【請求項 11】 前記検出手段は、遅延プロファイルデータから第一位のパスの関連電力が除外されたプロファイルから第 2 位のピークレベル及びピーク位置を得た後に、当該プロファイルから第 2 位のパスの関連電力が除外されたプロファイルから第 3 位のピークレベル及びピーク位置を得るよう構成したことを特徴とする請求項 9 または請求項 10 記載のマルチパス検出回路。

【請求項 12】 前記検出手段は、予め設定された一定値を全サンプル中の最大値に掛け合わせることで前記サンプルのうちの最も遅延時間の少ないサンプルを最大点として選択するよう構成したことを特徴とする請求項 9 から請求項 11 のいずれか記載のマルチパス検出回路。

【請求項 13】 前記検出手段は、予め設定された一定値を全サンプル中の最大値に掛け合わせることで前記サンプルのうちの最も遅延時間の大きいサンプルを最大点として選択するよう構成したことを特徴とする請求項 9 から請求項 11 のいずれか記載のマルチパス検出回路。

【請求項 1 4】 前記理論パターンは、前記伝送路における帯域制限に用いられるチャネルフィルタに設定された係数を基に予め作成するようにしたことを特徴とする請求項 9 から請求項 1 3 のいずれか記載のマルチパス検出回路。

【請求項 1 5】 前記理論パターンは、前記遅延プロファイルの 1 パス時のピーク形状を示すようにしたことを特徴とする請求項 9 から請求項 1 4 のいずれか記載のマルチパス検出回路。

【請求項 1 6】 前記理論パターンは、前記遅延プロファイルの 1 パス時のピーク形状及びそれに含まれるサイドローブを示すようにしたことを特徴とする請求項 9 から請求項 1 4 のいずれか記載のマルチパス検出回路。

【請求項 1 7】 前記相関ピークの位置間隔を検出する位置間隔判定手段を含み、前記位置間隔判定手段の判定結果に応じて前記除去手段における前記相関ピークの電力成分の除去を行わせるようにしたことを特徴とする請求項 1 0 から請求項 1 6 のいずれか記載のマルチパス検出回路。

【請求項 1 8】 拡散コードと受信信号との相関値を出力するマッチトフィルタと、前記マッチトフィルタで測定された伝送路の遅延プロファイルを保存する遅延プロファイル保存手段と、前記遅延プロファイル保存手段内の遅延プロファイルから最大ピーク位置及びピークレベルを検索する最大値検索手段とを含み、伝送路の遅延プロファイルを測定してマルチパスのタイミングを検出するマルチパス検出回路であって、前記最大値検索手段から得られたピークレベル及びピーク位置を基に相関ピークの理論パターンを順次生成するパターン生成手段と、前記最大値検索手段で前回検索されたピークの相関電力を除外したプロファイルを作成する作成手段とを有し、前記最大値検索手段が前記作成手段で作成されたプロファイルから前記最大ピーク位置及び前記ピークレベルを順次検索するよう構成したことを特徴とするマルチパス検出回路。

【請求項 1 9】 前記パターン生成手段は、前記最大値検索手段から得られるピークレベル及びピーク位置を基に前回検出されたピークの理論パターンを生成するよう構成し、

前記作成手段は、前記パターン生成手段で生成される相関ピークの理論パターンを用いて前記遅延プロファイルから前回検出されたピークの相関電力を順次除

去するよう構成したことを特徴とする請求項18記載のマルチパス検出回路。

【請求項20】 前記最大値検索手段は、遅延プロファイルデータから第一位のパスの相関電力が除外されたプロファイルから第2位のピークレベル及びピーク位置を得た後に、当該プロファイルから第2位のパスの相関電力が除外されたプロファイルから第3位のピークレベル及びピーク位置を得るよう構成したことを特徴とする請求項18または請求項19記載のマルチパス検出回路。

【請求項21】 前記最大値検索手段は、遅延プロファイルデータサンプルと検索したサンプル中の暫定最大値とを比較するレベル比較手段と、前記レベル比較手段の比較結果に応じて前記遅延プロファイルデータサンプル及び前記暫定最大値を選択する選択手段と、最大値検索中の暫定最大値を保持するバッファ手段と、前記レベル比較手段が新しい最大値を検出した時のサンプル位置を保持して最大ピーク位置を出力する最大位置保持手段とを含むことを特徴とする請求項18から請求項20のいずれか記載のマルチパス検出回路。

【請求項22】 前記最大値検索手段は、予め設定された一定値と前記バッファ手段に保持された暫定最大値との演算を行う係数演算手段を含み、前記係数演算手段の演算結果を基に前記サンプルのうちの最も遅延時間の少ないサンプルを最大点として選択するよう構成したことを特徴とする請求項21記載のマルチパス検出回路。

【請求項23】 前記最大値検索手段は、予め設定された一定値と前記バッファ手段に保持された暫定最大値との演算を行う係数演算手段を含み、前記係数演算手段の演算結果を基に前記サンプルのうちの最も遅延時間の大きいサンプルを最大点として選択するよう構成したことを特徴とする請求項21記載のマルチパス検出回路。

【請求項24】 前記パターン生成手段は、予め設定された理論パターンを保持する理論パターンメモリと、前記理論パターンメモリに保持された理論パターンを用いてピークレベルを設定する設定手段と、ピーク位置入力と前記設定手段からのピーク形状出力とから相関ピークの位置を設定するピーク位置設定手段とを含むことを特徴とする請求項18から請求項23のいずれか記載のマルチパス検出回路。

【請求項 2 5】 前記作成手段は、前記最大値検索手段で前記最大ピーク位置及び前記ピークレベルが検索される遅延プロファイルデータから前記パターン生成手段で生成された相関ピークの理論パターンを除去して前記最大値検索手段で前回検索されたピークの相関電力を除外したプロファイルを作成するよう構成したことを特徴とする請求項 1 8 から請求項 2 4 のいずれか記載のマルチパス検出回路。

【請求項 2 6】 前記理論パターンは、前記伝送路における帯域制限に用いられるチャンネルフィルタに設定された係数を基に予め作成するようにしたことを特徴とする請求項 1 8 から請求項 2 5 のいずれか記載のマルチパス検出回路。

【請求項 2 7】 前記理論パターンは、前記遅延プロファイルの 1 パス時のピーク形状を示すようにしたことを特徴とする請求項 1 8 から請求項 2 6 のいずれか記載のマルチパス検出回路。

【請求項 2 8】 前記理論パターンは、前記遅延プロファイルの 1 パス時のピーク形状及びそれに含まれるサイドローブを示すようにしたことを特徴とする請求項 1 8 から請求項 2 6 のいずれか記載のマルチパス検出回路。

【請求項 2 9】 前記相関ピークの位置間隔を検出する位置間隔判定手段を含み、前記位置間隔判定手段の判定結果に応じて前記作成手段における前記前回検索されたピークの相関電力を除外したプロファイルの作成を行わせるようにしたことを特徴とする請求項 1 8 から請求項 2 8 のいずれか記載のマルチパス検出回路。

【請求項 3 0】 伝送路の遅延プロファイルを測定してマルチパスのタイミングを検出するマルチパス検出方法であって、前記遅延プロファイルにおける相関ピークの理論パターンを生成するステップと、その生成された前記相関ピークの理論パターンに基づいて相関ピーク的位置を検出するステップとを有することを特徴とするマルチパス検出方法。

【請求項 3 1】 前記相関ピーク的位置を検出するステップは、検出した相関ピークの電力成分を前記相関ピークの理論パターンを用いて前記遅延プロファイルから順次除去するステップと、その相関ピークの電力成分が除去された遅延プロファイルから前記相関ピーク的位置を順次検出するステップとを含むことを

特徴とする請求項 3 0 記載のマルチパス検出方法。

【請求項 3 2】 前記相関ピークの位置を検出するステップは、遅延プロファイルデータから第一位のパスの相関電力が除外されたプロファイルから第 2 位のピークレベル及びピーク位置を得た後に、当該プロファイルから第 2 位のパスの相関電力が除外されたプロファイルから第 3 位のピークレベル及びピーク位置を得るようにしたことを特徴とする請求項 3 0 または請求項 3 1 記載のマルチパス検出方法。

【請求項 3 3】 前記相関ピークの位置を検出するステップは、予め設定された一定値を全サンプル中の最大値に掛け合わせることで前記サンプルのうちの最も遅延時間の少ないサンプルを最大点として選択するようにしたことを特徴とする請求項 3 0 から請求項 3 2 のいずれか記載のマルチパス検出方法。

【請求項 3 4】 前記相関ピークの位置を検出するステップは、予め設定された一定値を全サンプル中の最大値に掛け合わせることで前記サンプルのうちの最も遅延時間の大きいサンプルを最大点として選択するようにしたことを特徴とする請求項 3 0 から請求項 3 2 のいずれか記載のマルチパス検出方法。

【請求項 3 5】 前記理論パターンは、前記伝送路における帯域制限に用いられるチャネルフィルタに設定された係数を基に予め作成するようにしたことを特徴とする請求項 3 0 から請求項 3 4 のいずれか記載のマルチパス検出方法。

【請求項 3 6】 前記理論パターンは、前記遅延プロファイルの 1 パス時のピーク形状を示すようにしたことを特徴とする請求項 3 0 から請求項 3 5 のいずれか記載のマルチパス検出方法。

【請求項 3 7】 前記理論パターンは、前記遅延プロファイルの 1 パス時のピーク形状及びそれに含まれるサイドローブを示すようにしたことを特徴とする請求項 3 0 から請求項 3 5 のいずれか記載のマルチパス検出方法。

【請求項 3 8】 前記相関ピークの位置間隔を検出し、その判定結果に応じて前記検出した相関ピークの電力成分を前記遅延プロファイルから順次除去するようにしたことを特徴とする請求項 3 1 から請求項 3 7 のいずれか記載のマルチパス検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はパターン生成回路及びそれを用いたマルチパス検出回路並びにそのマルチパス検出方法に関し、特にCDMA (Code Division Multiple Access) 方式 (スペクトラム拡散方式) に用いられているRAKE受信器のフィンガの受信タイミングを決定するためのマルチパス位置の検出方法に関する。

【0002】

【従来の技術】

従来、この種のパスタイミング検出回路としては、一般的に、スライディング相関器やマッチトフィルタを用いて受信信号と拡散コードとの相関演算を行うことで伝搬路の遅延プロファイルを測定し、遅延プロファイルの相関ピーク位置を検出することによって実現される回路がある。

【0003】

しかしながら、マルチパスそれぞれの間隔が狭い場合には遅延プロファイル上で複数のパスが重なりあってしまい、正確なパス位置を検出することが困難になるという問題がある。

【0004】

例えば、図5に示すような遅延プロファイルの例においてパスが1つしかない場合には、パスの形状が図5(a)に示すような幅をもっている。また、複数のパスがある場合には、図5(b)に示すように、ある程度パス同士の間隔が開いていれば、複数のパスとして識別することが可能である。

【0005】

しかしながら、図5(c)に示すように、パス間隔が狭い場合にはパスが重なりあってしまい、どのサンプル点が正確なパス位置なのかが識別困難となる。パス位置が正確に検出できない場合には、受信性能が著しく劣化することとなる。

【0006】

このような場合、従来の技術では検出したパスの前後のNサンプル (Nは正の整数) を次のピーク検出から除外することによって、各フィンガ位置の最小間隔

を設定する方法が用いられている。このような方法については、例えば、“Path-Search Performance of DS-WCDMA System in Laboratory and Field Experiments” (Aoyama et. al. Technical Report of IEICE, RCS97-164, 1997-11) (以下、文献1とする) 等に記載されている。

【0007】

【発明が解決しようとする課題】

しかしながら、上記の方法では、予め検出するパスの最小間隔を決めておく必要がある。また、上記の方法では、その設定値次第で検出したパス位置が決まってしまう場合があるため、正確なタイミングを検出できないことがある。

【0008】

つまり、上記の文献1では、パス間隔が狭く、パスが重なりあってしまう場合に、検出したパスの前後のNサンプルをマスクして次のピーク検出から除外しているため、そのマスク処理で検出パスの前後のNサンプルが取り除かれたパターンに擬似ピークが出現することもあり、正確なタイミングを検出することが困難となる。

【0009】

そこで、本発明の目的は上記の問題点を解消し、遅延プロファイル上で重なりあってしまう程隣接したマルチパス環境において、各パスタイミングの検出精度を高くすることができ、より安定した受信性能を得ることができるパターン生成回路及びそれを用いたマルチパス検出回路並びにそのマルチパス検出方法を提供することにある。

【0010】

【課題を解決するための手段】

本発明によるパターン生成回路は、伝送路の遅延プロファイルにおける相関ピークの理論パターンを生成する生成手段と、検出した相関ピークの電力成分を前記生成手段で生成された前記相関ピークの理論パターンを用いて前記遅延プロファイルから順次除去する除去手段とを備えている。

【 0 0 1 1 】

本発明によるマルチパス検出回路は、伝送路の遅延プロファイルを測定してマルチパスのタイミングを検出するマルチパス検出回路であって、前記遅延プロファイルにおける相関ピークの理論パターンを生成する生成手段と、前記生成手段で生成された前記相関ピークの理論パターンに基づいて相関ピークの位置を検出する検出手段とを備えている。

【 0 0 1 2 】

本発明による他のマルチパス検出回路は、拡散コードと受信信号との相関値を出力するマッチトフィルタと、前記マッチトフィルタで測定された伝送路の遅延プロファイルを保存する遅延プロファイル保存手段と、前記遅延プロファイル保存手段内の遅延プロファイルから最大ピーク位置及びピークレベルを検索する最大値検索手段とを含み、伝送路の遅延プロファイルを測定してマルチパスのタイミングを検出するマルチパス検出回路であって、前記最大値検索手段から得られたピークレベル及びピーク位置を基に相関ピークの理論パターンを順次生成するパターン生成手段と、前記最大値検索手段で前回検索されたピークの相関電力を除外したプロファイルを作成する作成手段とを有し、前記最大値検索手段が前記作成手段で作成されたプロファイルから前記最大ピーク位置及び前記ピークレベルを順次検索するよう構成している。

【 0 0 1 3 】

本発明によるマルチパス検出方法は、伝送路の遅延プロファイルを測定してマルチパスのタイミングを検出するマルチパス検出方法であって、前記遅延プロファイルにおける相関ピークの理論パターンを生成するステップと、その生成された前記相関ピークの理論パターンに基づいて相関ピークの位置を検出するステップとを備えている。

【 0 0 1 4 】

すなわち、本発明のマルチパス検出回路は、CDMA方式の受信装置のマルチパス検出回路において、チップ間隔程度でパスが隣接している環境でのパス検出精度を向上させることを目的としたものである。

【 0 0 1 5 】

そのために、本発明のマルチパス検出回路では、相関ピークの理論パターンを発生するパターン生成部と、検出したピークの電力成分をその発生した理論パターンに基づいて遅延プロファイルから順次除去する手段とを有している。

【0016】

より具体的に、本発明のマルチパス検出回路は、拡散コードと受信信号との相関値を出力するマッチトフィルタと、これによって測定された伝送路の遅延プロファイルを保存する遅延プロファイル保存部と、この遅延プロファイルから第1位の相関ピークの最大ピーク位置及びピークレベルを得る最大値検索部と、最大値検索部から得られた第1位の相関ピークのピークレベル及びピーク位置を基に第1位の相関ピークの理論パターン（理論形状）を生成するパターン生成部と、第2位の相関ピークを検出する際に遅延プロファイル保存部内の遅延プロファイルデータから第1位の相関ピークの理論パターンを減算する減算器とからなる。

【0017】

上記のような構成をとることで、第2位の相関ピークを検出する際に減算器で第1位の相関ピークの相関電力が除外されたプロファイルが作成され、これを遅延プロファイル保存部に保存する。この後、最大値検索部が最大ピーク位置及びピークレベルを出力し、第2位の相関ピークのピークレベル及びピーク位置を得る。パターン生成部は第2位の相関ピークのピークレベル及びピーク位置を基に第2位の相関ピークの理論パターンを生成する。

【0018】

減算器は遅延プロファイル保存部内の遅延プロファイルデータから第2位の相関ピークの理論パターンを減算し、第2位の相関ピークの相関電力を除外したプロファイルを作成し、保存する。上記の操作をカウンタによって計測される回数分繰返すことで、複数の相関ピークの位置を検索することが可能となる。

【0019】

したがって、相関ピーク（パス）間隔が狭く、遅延プロファイル上で重なってしまっているようなマルチパスを精度良く個々のパスに分離し、相関ピーク位置を検出することが可能となるので、受信性能の向上が可能となる。

【0020】

【発明の実施の形態】

次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例によるマルチパス検出回路の構成を示すブロック図である。図1において、マルチパス検出回路1はマッチトフィルタ11と、遅延プロファイル保存部12と、最大値検索部13と、パターン生成部14と、減算器15と、カウンタ16とから構成されている。

【0021】

マルチパス検出回路1は拡散コードと受信信号との相関値を出力するマッチトフィルタ11を有し、このマッチトフィルタ11によって測定された伝送路（図示せず）の遅延プロファイルは遅延プロファイル保存部12に出力されて保存される。

【0022】

第1位の相関ピーク（パス）はこの遅延プロファイルから最大値検索部13が最大ピーク位置及びピークレベルを出力することによって得ることができる。パターン生成部14は最大値検索部13から得られた第1位の相関ピークのピークレベル及びピーク位置を基に第1位の相関ピークの理論パターンを生成する。

【0023】

第2位の相関ピークを検出する際には減算器15が遅延プロファイル保存部12内の遅延プロファイルデータから第1位の相関ピークの理論パターンを減算し、第1位の相関ピークの相関電力を除外したプロファイルを作成し、それを遅延プロファイル保存部12に保存する。尚、上記の減算器15は第1位の相関ピークの相関電力を除外したプロファイルが作成可能であれば、シフトレジスタ等の手段でもよい。

【0024】

この後、最大値検索部13が最大ピーク位置及びピークレベルを出力し、第2位の相関ピークのピークレベル及びピーク位置を得る。パターン生成部14は第2位の相関ピークのピークレベル及びピーク位置を基に第2位の相関ピークの理論パターン（理論形状）を生成する。

【0025】

減算器 1 5 が遅延プロファイル保存部 1 2 内の遅延プロファイルデータから第 2 位の相関ピークの理論パターンを減算し、第 2 位の相関ピークの相関電力を除外したプロファイルを作成し、それを遅延プロファイル保存部 1 2 に保存する。

【 0 0 2 6 】

上記の操作をカウンタ 1 6 によって計測される回数分繰返すことで、複数の相関ピーク位置を検索することができる。したがって、相関ピーク間隔が狭く、遅延プロファイル上で重なってしまっているようなマルチパスを精度良く個々の相関ピークに分離し、相関ピーク位置を検出することができるので、受信性能を向上させることができる。

【 0 0 2 7 】

図 2 は本発明の一実施例による CDMA 受信装置の構成を示すブロック図である。図 2 において、本発明の一実施例による CDMA 受信装置はアンテナ部 2 と、高周波受信回路部（無線部）3 と、A/D（アナログ/ディジタル）変換部 4 と、RAKE フィンガ部 5 と、RAKE 合成部 6 と、マルチパス検出回路 1 とから構成されている。尚、マルチパス検出回路 1 は上記の図 1 に示す構成となっており、高周波受信回路部 3 には図示せぬ基地局との間で帯域制限に用いられるチャネルフィルタ 3 a を備えている。

【 0 0 2 8 】

無線によって送信されたデータはアンテナ 2 で受信され、高周波受信回路部 3 によって周波数変換（ダウンコンバート）され、A/D 変換部 4 によってアナログ信号からディジタル信号へと変換される。

【 0 0 2 9 】

A/D 変換部 4 からの信号はマルチパス検出回路 1 に供給され、伝送路の遅延プロファイルが測定され、マルチパスのタイミングが検出される。その出力は RAKE フィンガ部 5 の受信タイミング入力として使用され、各タイミングで受信したデータは RAKE 合成部 6 で合成される。

【 0 0 3 0 】

マルチパス検出回路 1 は、上述したように、拡散コードと受信信号との相関値を出力するマッチトフィルタ 1 1 を有し、これによって測定された伝送路の遅延

プロファイルは遅延プロファイル保存部 12 に出力されて保存される。

【0031】

第1位の相関ピークはこの遅延プロファイルから最大値検索部 13 が最大ピーク位置及びピークレベルを出力することによって得られる。パターン生成部 14 は最大値検索部 13 から得られた第1位の相関ピークのピークレベル及びピーク位置を基に相関ピークの理論パターンを生成する。この場合、相関ピークの理論パターンに用いられる基準パターン（ピークレベル1の1パス時のピーク形状）はチャネルフィルタ 3a で使用される係数に基づいて算出可能であり、この基準パターンから相関ピークのピークレベル及びピーク位置に基づく相関ピークの理論パターンが生成される。

【0032】

第2位の相関ピークを検出する際には、減算器 15 が遅延プロファイル保存部 12 内の遅延プロファイルデータから第1位の相関ピークの理論パターンを減算し、第1位の相関ピークの相関電力を除外したプロファイルを作成し、遅延プロファイル保存部 12 に保存する。

【0033】

この後、最大値検索部 13 が最大ピーク位置及びピークレベルを出力し、第2位の相関ピークのピークレベル及びピーク位置を得る。パターン生成部 14 は第2位の相関ピークのピークレベル及びピーク位置を基に第2位の相関ピークの理論パターンを生成する。

【0034】

減算器 15 が遅延プロファイル保存部 12 内の遅延プロファイルデータから第2位の相関ピークの理論パターンを減算し、第2位の相関ピークの相関電力を除外したプロファイルを作成し、遅延プロファイル保存部 12 に保存する。上記の操作を繰返すことによって複数の相関ピーク位置を検索することができる。尚、この繰返し回数はカウンタ 16 によって計測される。

【0035】

図3は図1の最大値検索部 13 の構成例を示すブロック図である。図3において、最大値検索部 13 はレベル比較部 13a と、セクタ 13b と、バッファ部

(D) 1 3 c と、最大位置保持部 1 3 d とから構成されている。

【0 0 3 6】

レベル比較部 1 3 a は遅延プロファイルデータサンプルと、検索したサンプル中の暫定最大値とを比較する。セクタ 1 3 b はレベル比較部 1 3 a の比較結果に応じて遅延プロファイルデータサンプルまたは暫定最大値を選択する。

【0 0 3 7】

バッファ部 1 3 c は最大値検索中の暫定最大値を保持する。最大位置保持部 1 3 d はレベル比較器 1 3 a が新しい最大値を検出した時のサンプル位置を保持し、最大ピーク位置を出力する。上記の構成では遅延プロファイルデータの全サンプルを順次サーチし、サーチ終了時にバッファ部 1 3 c に全サンプル中の最大値が保持されている。

【0 0 3 8】

図 4 は図 1 のパターン生成部 1 4 の構成例を示すブロック図である。図 4 において、パターン生成部 1 4 は理論パターンメモリ 1 4 a と、乗算器 1 4 b と、ピーク位置設定部 1 4 c とから構成されている。

【0 0 3 9】

理論パターンメモリ 1 4 a は予め設定された基準パターンを保持し、乗算器 1 4 b は理論パターンメモリ 1 4 a に保持された基準パターンを用いてピークレベルを設定する。ピーク位置設定部 1 4 c はピーク位置入力と乗算器 1 4 b からのピーク形状出力（理論パターン）とから相関ピークの位置を設定する。上記の乗算器 1 4 b は基準パターンを用いてピークレベルが設定可能であれば、加算器等の手段でもよい。

【0 0 4 0】

理論パターンメモリ 1 4 a はピークレベル 1 とした時の相関ピークの理論パターン [図 7 (a) に示すような 1 パス時のピーク形状] を示す基準パターンを ROM (リードオンリメモリ) 等に保持しておけばよい。

【0 0 4 1】

このパターン生成部 1 4 で得られた検出済みピークの電力を除去することによって、次の相関ピークを検出することができるようになる。かくして得られたマ

ルチパスのタイミング情報はRAKEフィンガ部5に供給される。

【0042】

以上の構成によって、図5(c)に示すように、パス間隔が狭く、遅延プロファイル上で重なってしまっているようなマルチパス環境下においても、精度良く相関ピークの位置を検出することができ、受信性能を向上させることができる。

【0043】

尚、マッチトフィルタ11は遅延プロファイルを測定する手段として、当業者にとってよく知られているため、その詳細な構成は省略する。また、この部分はスライディング相関器を用いてもよい。RAKEフィンガ部5及びRAKE合成部6についても、当業者にとってよく知られており、また本発明とは直接関係しないので、その詳細な構成の説明は省略する。

【0044】

図5は遅延プロファイルの例を示す図である。図5(a)は1パスの場合の遅延プロファイルを示し、図5(b)は3パスの間隔が比較的広い場合の遅延プロファイルを示し、図5(c)は3パスの間隔が狭い場合の遅延プロファイルを示している。

【0045】

図6は図1のマルチパス検出回路1の動作を示すフローチャートであり、図7は図1の遅延プロファイル保存部12に保存される遅延プロファイルデータに対する各処理毎の演算イメージを示す図である。尚、図6に示す動作はマルチパス検出回路1が図示せぬ制御メモリのプログラムを実行することで実現され、制御メモリとしてはROMやIC(集積回路)メモリ等が使用可能である。

【0046】

これら図1～図7を参照して、本発明の一実施例の動作について説明する。ここでは図5(c)に示すようなパス間隔が狭く、遅延プロファイルにおける複数の相関ピークが重なってしまっている場合を例に挙げて説明する。

【0047】

図5(a)はパスが1つしか存在せず、相関ピークが1つしかない場合の相関ピークの例である。相関ピークの形状は受信フィルタ特性によって広がりをもつ

。図 5 (b) は 3 つの相関ピークがそれぞれ 2 チップ程度の間隔で存在する場合の遅延プロファイルの例である。相関ピークの間隔がこの程度離れている場合、3 つの相関ピークの存在がはっきりしている。

【 0 0 4 8 】

図 5 (c) は 3 つの相関ピークがそれぞれ 1 チップ間隔で存在する場合の例である。それぞれのパスが重なり、各ピークの位置がはっきりしていないため、従来の検出方法では正確な相関ピークの位置を検出することが困難である。

【 0 0 4 9 】

次に、マルチパス検出回路 1 の動作について説明する。マルチパス検出回路 1 では初めに、検出ピーク数をカウントするカウンタ 1 6 をリセットする (図 6 ステップ S 1)。続いて、マルチパス検出回路 1 ではマッチトフィルタ 1 1 によって遅延プロファイルが測定される (図 6 ステップ S 2)。マッチトフィルタ 1 1 で測定された遅延プロファイルの例を図 7 (a) に示す。

【 0 0 5 0 】

この後に、最大値検索部 1 3 が最大値検索を行う (図 6 ステップ S 3)。最大値検索部 1 3 は検出したパスタイミング (相関ピーク位置) を RAKE フィンガ部 5 に出力する (図 6 ステップ S 4)。パターン生成部 1 4 は最大値検索部 1 3 が検出した最大値とピーク位置情報とを基に検出したピークの理論パターン [図 7 (b) 参照] を作成する (図 6 ステップ S 5)。

【 0 0 5 1 】

減算器 1 5 は遅延プロファイルデータからパターン生成部 1 4 で作成された理論パターンを減算し [図 7 (c) 参照]、検出済みピークの電力成分を遅延プロファイルデータから除外する (図 6 ステップ S 6)。

【 0 0 5 2 】

遅延プロファイル保存部 1 2 は減算器 1 5 で遅延プロファイルデータから検出済みピークの電力成分が除外されたデータを保存する (図 6 ステップ S 7)。この処理終了後に、カウンタ 1 6 はカウントアップする (図 6 ステップ S 8)。以上の処理をフィンガ数分回繰返すことによって (図 6 ステップ S 9)、必要な数のピークを検出することができる。

【 0 0 5 3 】

このように、マルチパス検出回路 1 では遅延プロファイルの相関ピークが重なり合ってしまうような隣接したマルチパス環境においても、精度良く各パスのタイミングを検出することができる。このため、受信性能を向上させることができる。

【 0 0 5 4 】

図 8 は本発明の他の実施例によるマルチパス検出回路の最大値検索部の構成例を示すブロック図である。図 8 において、本発明の他の実施例は最大値検索部 7 に係数乗算部 7 1 を設けた以外は図 3 に示す本発明の一実施例による最大値検索部 1 3 と同様の構成となっており、同一構成要素には同一符号を付してある。また同一構成要素の動作は本発明の一実施例と同様である。

【 0 0 5 5 】

尚、本発明の他の実施例によるマルチパス検出回路の基本的構成は図 1 に示す本発明の一実施例によるマルチパス検出回路の構成と同様であるので、その構成及び動作の説明は省略する。

【 0 0 5 6 】

図 8 において、最大値検索部 7 はレベル比較部 1 3 a と、セレクタ 1 3 b と、バッファ部 1 3 c と、最大位置保持部 1 3 d と、係数乗算部 7 1 とから構成されている。

【 0 0 5 7 】

レベル比較部 1 3 a は遅延プロファイルデータサンプルと検索したサンプル中の暫定最大値とを比較する。セレクタ 1 3 b はレベル比較部 1 3 a の比較結果に応じて遅延プロファイルデータサンプルまたは暫定最大値を選択する。バッファ部 1 3 c は最大値検索中の暫定最大値を保持する。

【 0 0 5 8 】

この構成では遅延プロファイルデータの全サンプルを順次サーチし、サーチ終了時にバッファ部 1 3 c に全サンプル中の最大値が保持されている。また、最大位置保持部 1 3 d はレベル比較器 1 3 a が新しい最大値を検出した時のサンプル位置を保持し、最大ピーク位置を出力する。

【0059】

ここで、係数乗算部71は予め設定された一定値 α をバッファ部13cに保持された全サンプル中の最大値に掛け合わせ、レベル比較部13a及びセレクタ13bに出力する。

【0060】

これによって、最大値検出の際、ある最大相関レベルと同程度のレベルであるサンプル点が複数存在する場合、これらのサンプルのうち最も遅延時間の少ない（遅延プロファイルで左側の）サンプルを最大点として選択することが可能となる。尚、上記の係数乗算部71は最も遅延時間の少ないサンプルを最大点とすることが可能であれば、加算器等の手段でもよい。

【0061】

図9は本発明の他の実施例によるマルチパス検出回路の動作を示すフローチャートであり、図10(a)～(c)は本発明の他の実施例による処理動作例を示す図である。これら図8～図10を参照して本発明の他の実施例によるマルチパス検出回路の動作及び効果について説明する。

【0062】

尚、本発明の他の実施例によるマルチパス検出回路の基本的構成は図1及び図2に示す本発明の一実施例によるマルチパス検出回路及びCDMA受信装置と同様の構成であるので、以下、最大値検索部7以外は図1及び図2の符号を用いるもとする。また、図9に示す動作はマルチパス検出回路1が図示せぬ制御メモリのプログラムを実行することで実現され、制御メモリとしてはROMやICメモリ等が使用可能である。

【0063】

ここで、本発明の他の実施例においても、図5(c)に示すようなパス間隔が狭く、遅延プロファイルにおける複数の相関ピークが重なっている場合を例に挙げて説明する。図5(c)は3つの相関ピークがそれぞれ1チップ間隔で存在する場合の例である。それぞれのパスが重なり、各ピークの位置がはっきりしていないため、従来の検出方法では正確な相関ピークの位置を検出することが困難である。

【0064】

マルチパス検出回路1では初めに、検出ピーク数をカウントするカウンタ16をリセットする(図9ステップS11)。続いて、マルチパス検出回路1ではマッチフィルタ11によって遅延プロファイルが測定される(図9ステップS12)。

【0065】

この後に、最大値検索部7が最大値検索及び最大位置検索を行う(図9ステップS13, S14)。最大値検索部7は検出したパスタイミング(相関ピーク位置)をRAKEフィンガ部5に出力する(図9ステップS15)。パターン生成部14は最大値検索部7が検出した最大値とピーク位置情報とを基に検出したピークの理論パターンを作成する(図9ステップS16)。

【0066】

減算器15は遅延プロファイルデータからパターン生成部14で作成された理論パターンを減算し、検出済みピークの電力成分を遅延プロファイルデータから除外する(図9ステップS17)。遅延プロファイル保存部12は減算器15で遅延プロファイルデータから検出済みピークの電力成分が除外されたデータを保存する(図9ステップS18)。この処理終了後に、カウンタ16はカウントアップする(図9ステップS19)。以上の処理をフィンガ数分回繰返すことによって(図9ステップS20)、必要な数のピークを検出することができる。

【0067】

このように、マルチパス検出回路1では遅延プロファイルの相関ピークが重なり合ってしまうような隣接したマルチパス環境においても、精度良く各パスのタイミングを検出することができる。このため、受信性能を向上させることができる。

【0068】

図10(a)は複数のパスが隣接しており、かつ各パスのレベルがほぼ同等である場合の遅延プロファイルの例である。この場合、本発明の一実施例による最大値検出部13では第1位の相関ピークをどのサンプルとすれば良いのかを判定することが難しくなるのに対し、本実施例の最大値検索部7では図10(a)に

示すようなプロファイルピークとして最も左側の点（検出位置 1）を選択することが可能となる。

【0069】

このため、図 10（b）及び図 10（c）に示すような手順、つまり遅延プロファイルから第 1 位のピーク成分を除去して検出位置 2 を検出し、その後に遅延プロファイルから第 2 位のピーク成分を除去して検出位置 3 を検出するという手順によって、1 ピークずつ検出ピークの電力成分を除外していくことで、すべてのマルチパス成分を分離し、検出することが可能となる。

【0070】

尚、本実施例では図 10（a）に示すようなプロファイルピークとして最も左側の点、つまり遅延が最も少ないプロファイルピークから順次検出するようにしているが、走査方向を逆にすることで、プロファイルピークとして最も右側の点、つまり遅延が最も大きいプロファイルピークから順次検出するようにすることもできる。

【0071】

図 11 は本発明の別の実施例によるマルチパス検出回路の構成を示すブロック図である。図 11 において、本発明の別の実施例によるマルチパス検出回路 8 はパス間隔判定部 82 とサンプル削除部 83 とを設けた以外は図 1 に示す本発明の一実施例によるマルチパス検出回路 1 と同様の構成となっており、同一構成要素には同一符号を付してある。また、同一構成要素の動作は本発明の一実施例と同様である。尚、マルチパス検出回路 8 では検出対象パターン生成部 81 がパターン生成部 14 と減算器 15 とから構成されている。

【0072】

パス間隔判定部 82 は最大値検索部 13 からのパスタイミング出力を基にパスタイミングの間隔を判定し、その結果、パスタイミングの間隔が予め設定された所定間隔よりも小さくなると検出対象パターン生成部 81 を駆動し、所定間隔よりも大きくなるとサンプル削除部 83 を駆動する。尚、パス間隔判定部 82 は最大値検索部 13 からのパスタイミング出力をそのままマルチパス検出回路 8 外部へと出力する。

【 0 0 7 3 】

検出対象パターン生成部 8 1 におけるパターン生成部 1 4 及び減算器 1 5 は上述したように、検出対象となる遅延プロファイルデータの生成動作を行う。また、サンプル削除部 8 3 は上記の従来の技術と同様の動作を行う。よって、本発明の別の実施例では相関ピーク間隔が狭く、遅延プロファイル上で重なってしまっているようなマルチパスに対してのみパターン生成部 1 4 及び減算器 1 5 による生成処理が行われる。

【 0 0 7 4 】

図 1 2 は本発明のさらに別の実施例によるパターン生成部で用いる基準パターンの一例を示す図である。遅延プロファイルにおいて、1 パスのプロファイルピークを示す波形の前後にはサイドローブが発生しており、相関ピーク間隔が狭く、遅延プロファイル上で重なってしまうような場合にはそれらのサイドローブも波形上に加算されることとなる。

【 0 0 7 5 】

そこで、本発明のさらに別の実施例では基準パターンの作成時に、図 1 2 に示すように、予めサイドローブの部分もプロファイルピークとともに作成して記憶するようにしている。これによって、隣のプロファイルピークのサイドローブが加算されたプロファイルピークからそのサイドローブの部分を取り除くことができるので、より正確なマルチパス成分の検出が可能となる。

【 0 0 7 6 】

【発明の効果】

以上説明したように本発明によれば、伝送路の遅延プロファイルを測定してマルチパスのタイミングを検出するマルチパス検出回路において、遅延プロファイルにおける相関ピークの理論形状を生成し、その生成された相関ピークの理論形状に基づいて相関ピークの位置を検出することによって、遅延プロファイル上で重なりあってしまう程隣接したマルチパス環境において、各パスタイミングの検出精度を高くすることができ、より安定した受信性能を得ることができるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の一実施例によるマルチパス検出回路の構成を示すブロック図である。

【図 2】

本発明の一実施例によるCDMA受信装置の構成を示すブロック図である。

【図 3】

図 1 の最大値検索部の構成例を示すブロック図である。

【図 4】

図 1 のパターン生成部の構成例を示すブロック図である。

【図 5】

(a) は 1 パスの場合の遅延プロファイルを示す図、(b) は 3 パスの間隔が比較的広い場合の遅延プロファイルを示す図、(c) は 3 パスの間隔が狭い場合の遅延プロファイルを示す図である。

【図 6】

図 1 のマルチパス検出回路の動作を示すフローチャートである。

【図 7】

(a) ~ (c) は図 1 の遅延プロファイル保存部に保存される遅延プロファイルデータに対する各処理毎の演算イメージを示す図である。

【図 8】

本発明の他の実施例によるマルチパス検出回路の最大値検索部の構成例を示すブロック図である。

【図 9】

本発明の他の実施例によるマルチパス検出回路の動作を示すフローチャートである。

【図 10】

(a) ~ (c) は本発明の他の実施例による処理動作例を示す図である。

【図 11】

本発明の別の実施例によるマルチパス検出回路の構成を示すブロック図である。

【図 12】

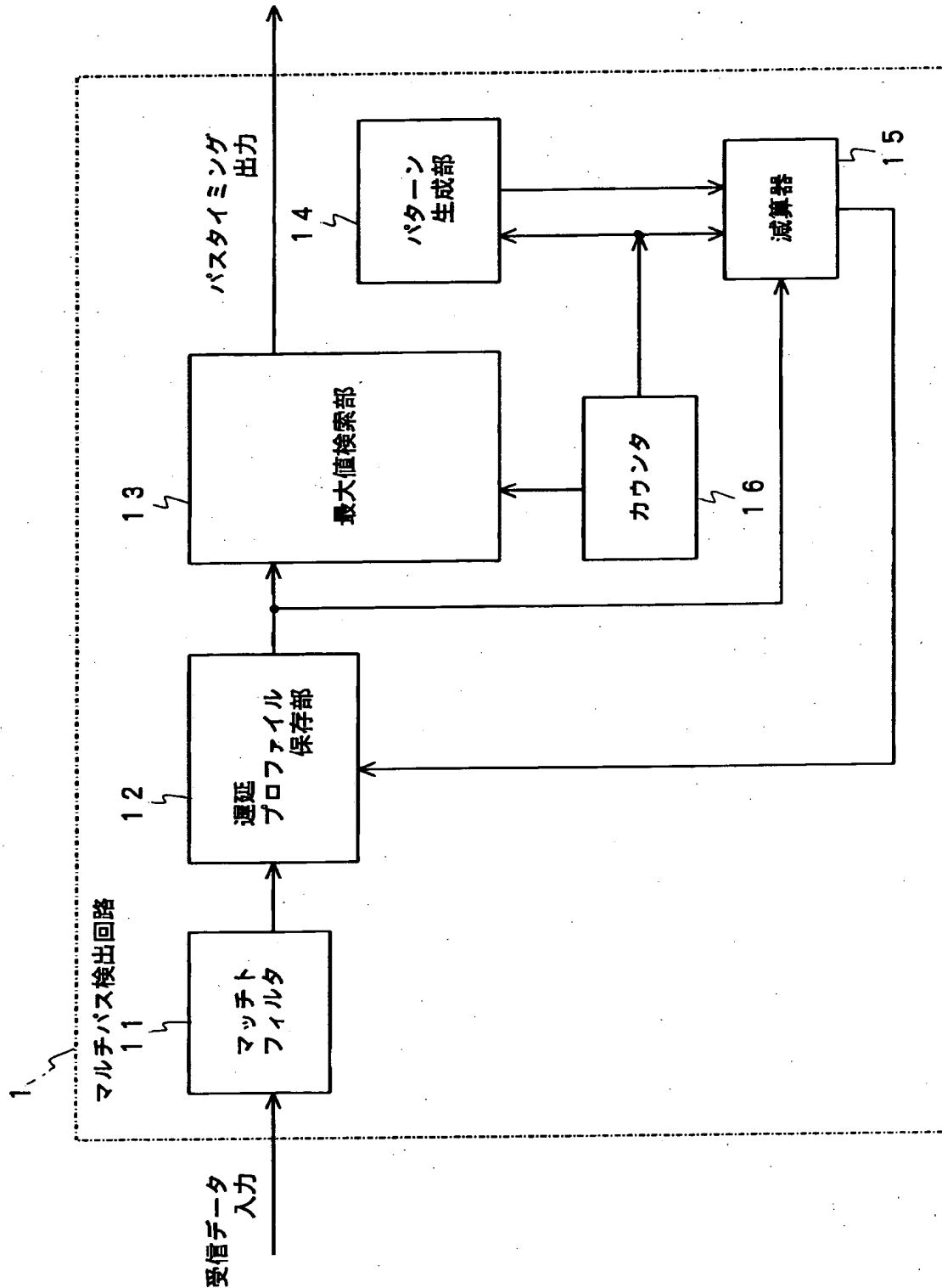
本発明のさらに別の実施例によるパターン生成部で用いる基準パターンの一例を示す図である。

【符号の説明】

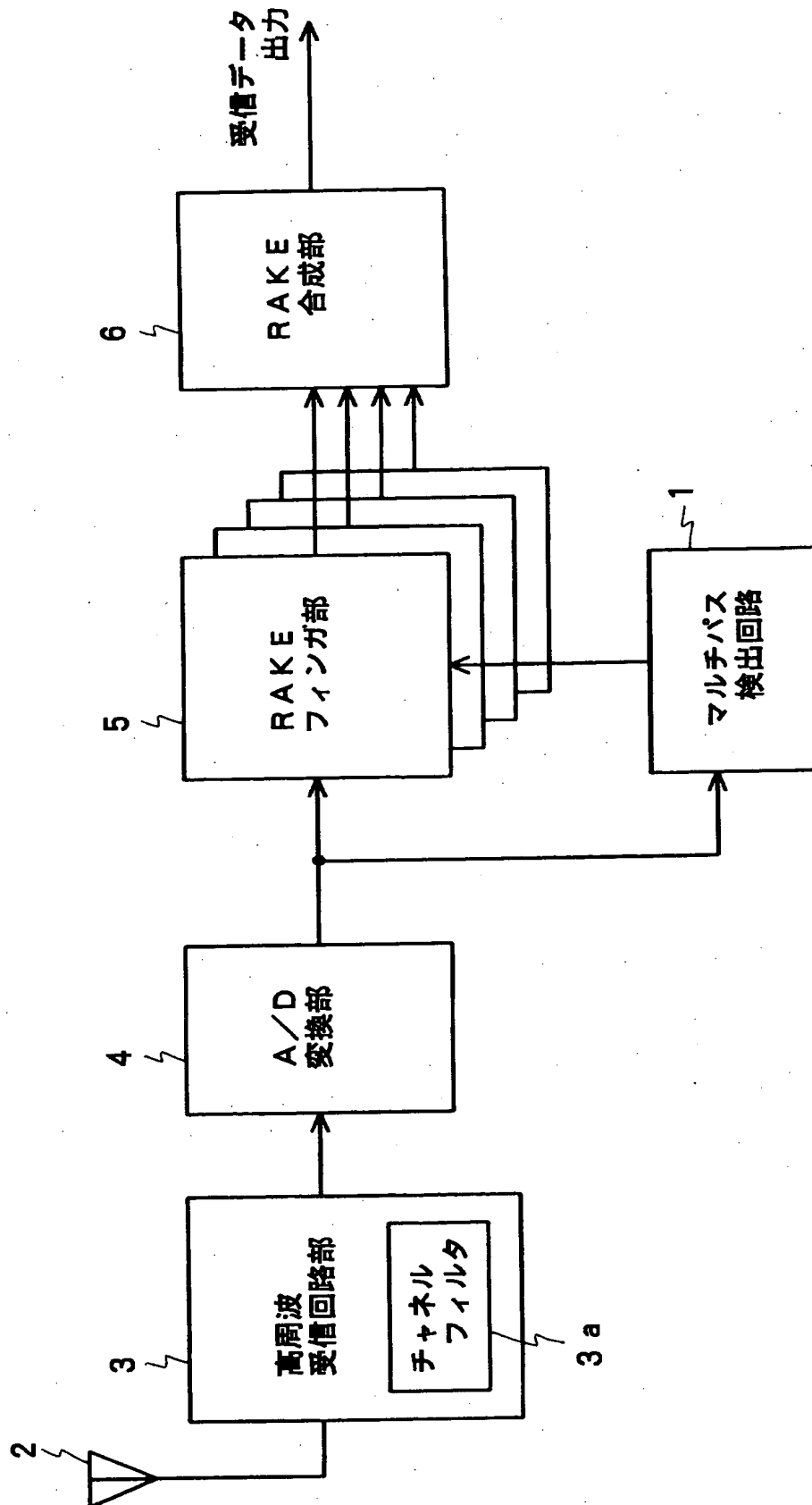
- 1 マルチパス検出回路
- 2 アンテナ部
- 3 高周波受信回路部
- 3 a チャンネルフィルタ
- 4 A/D変換部
- 5 RAKEフィンガ部
- 6 RAKE合成部
- 1 1 マッチトフィルタ
- 1 2 遅延プロファイル保存部
- 7, 1 3 最大値検索部
- 1 3 a レベル比較部
- 1 3 b セレクタ
- 1 3 c バッファ部
- 1 3 d 最大位置保持部
- 1 4 パターン生成部
- 1 4 a 理論パターンメモリ
- 1 4 b 乗算器
- 1 4 c ピーク位置設定部
- 1 5 減算器
- 1 6 カウンタ
- 7 1 係数乗算部
- 8 1 検出対象パターン生成部
- 8 2 パス間隔判定部
- 8 3 サンプル削除部

【書類名】 図面

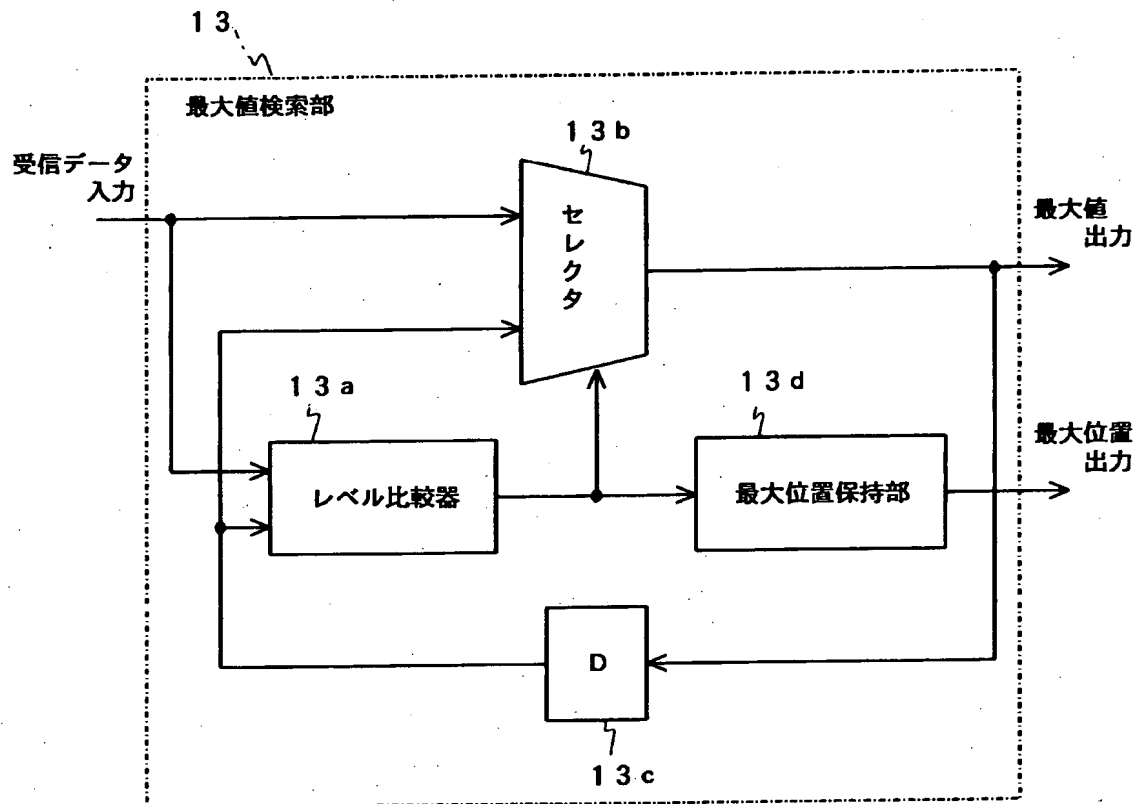
【図1】



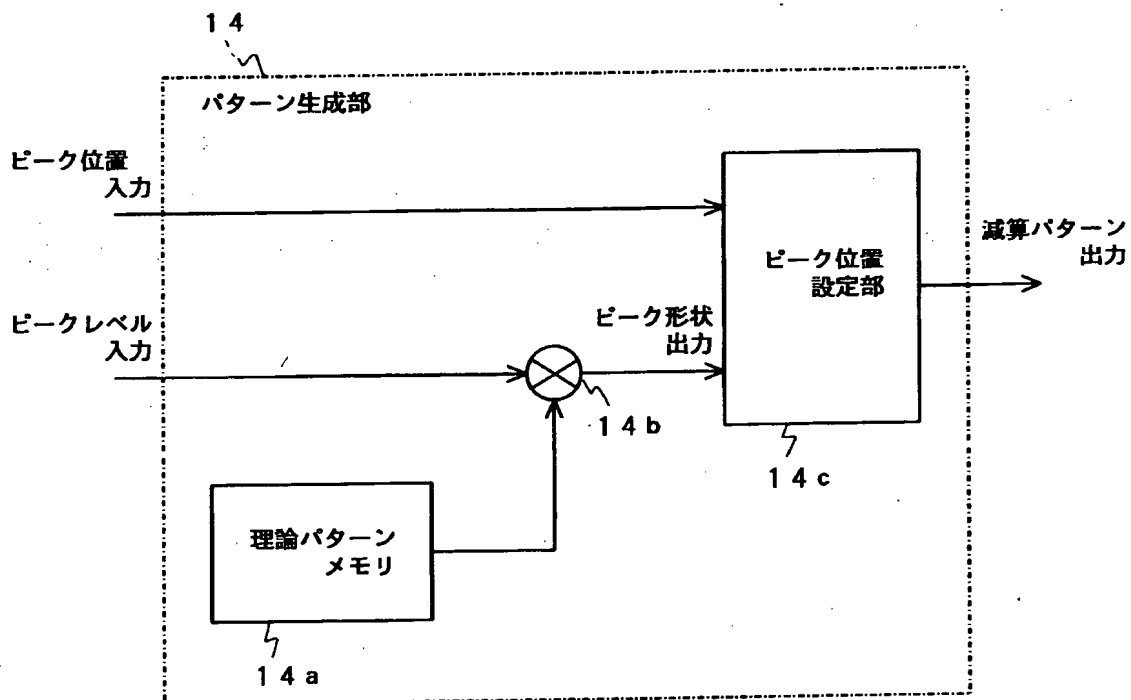
【図2】



【図 3】

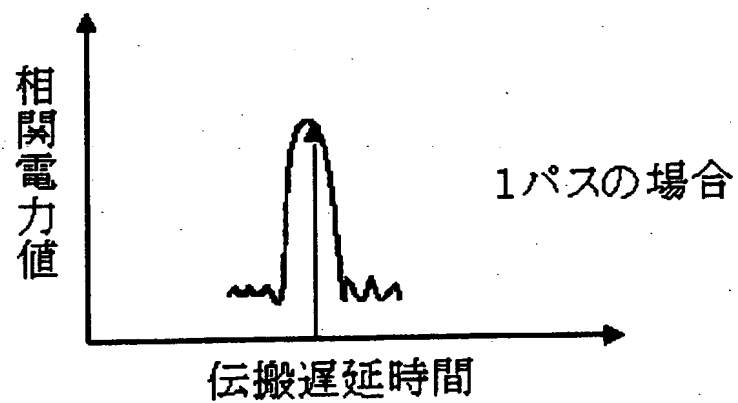


【図 4】

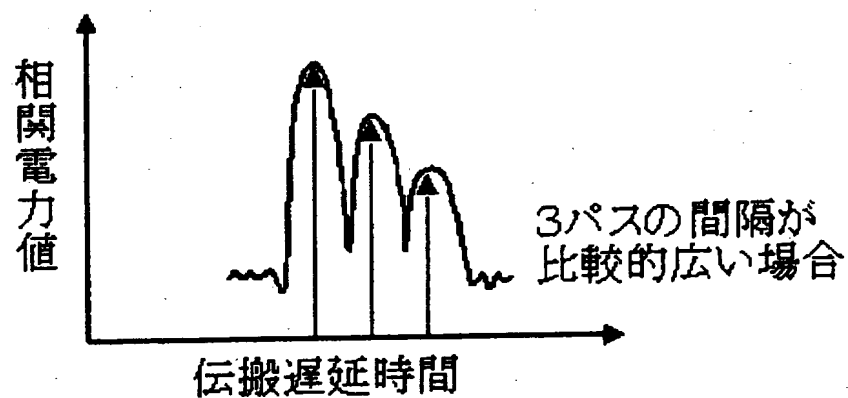


【図5】

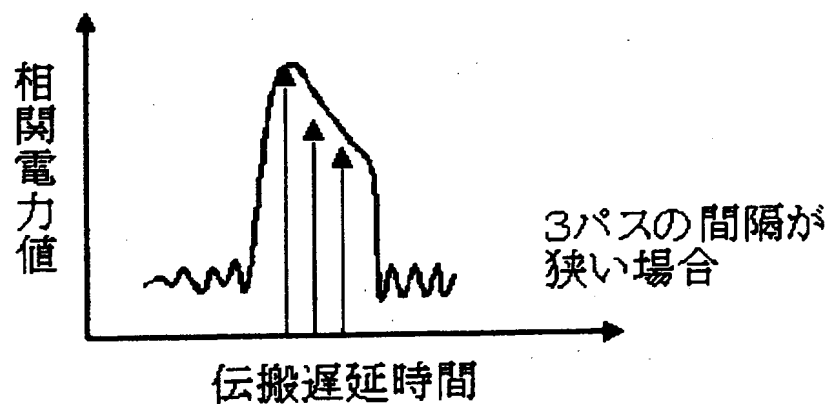
(a)



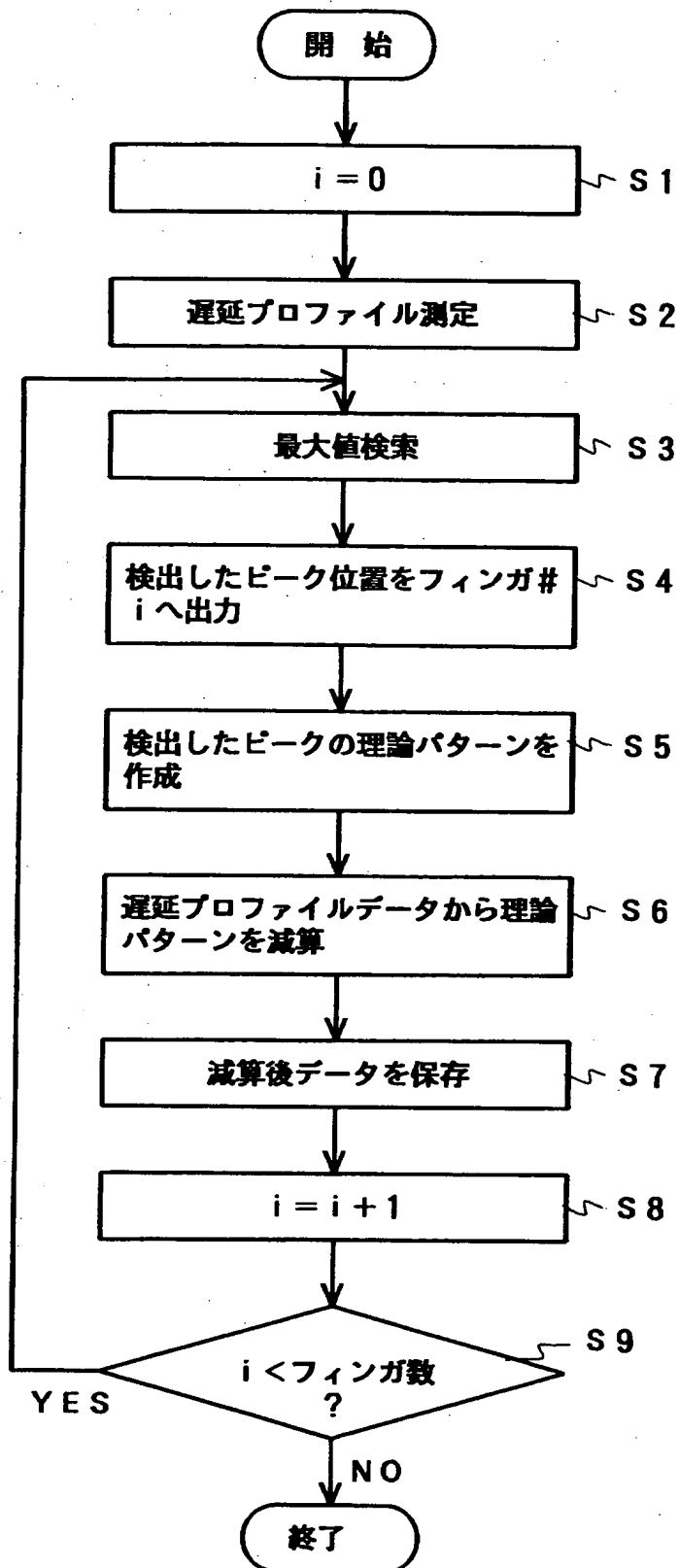
(b)



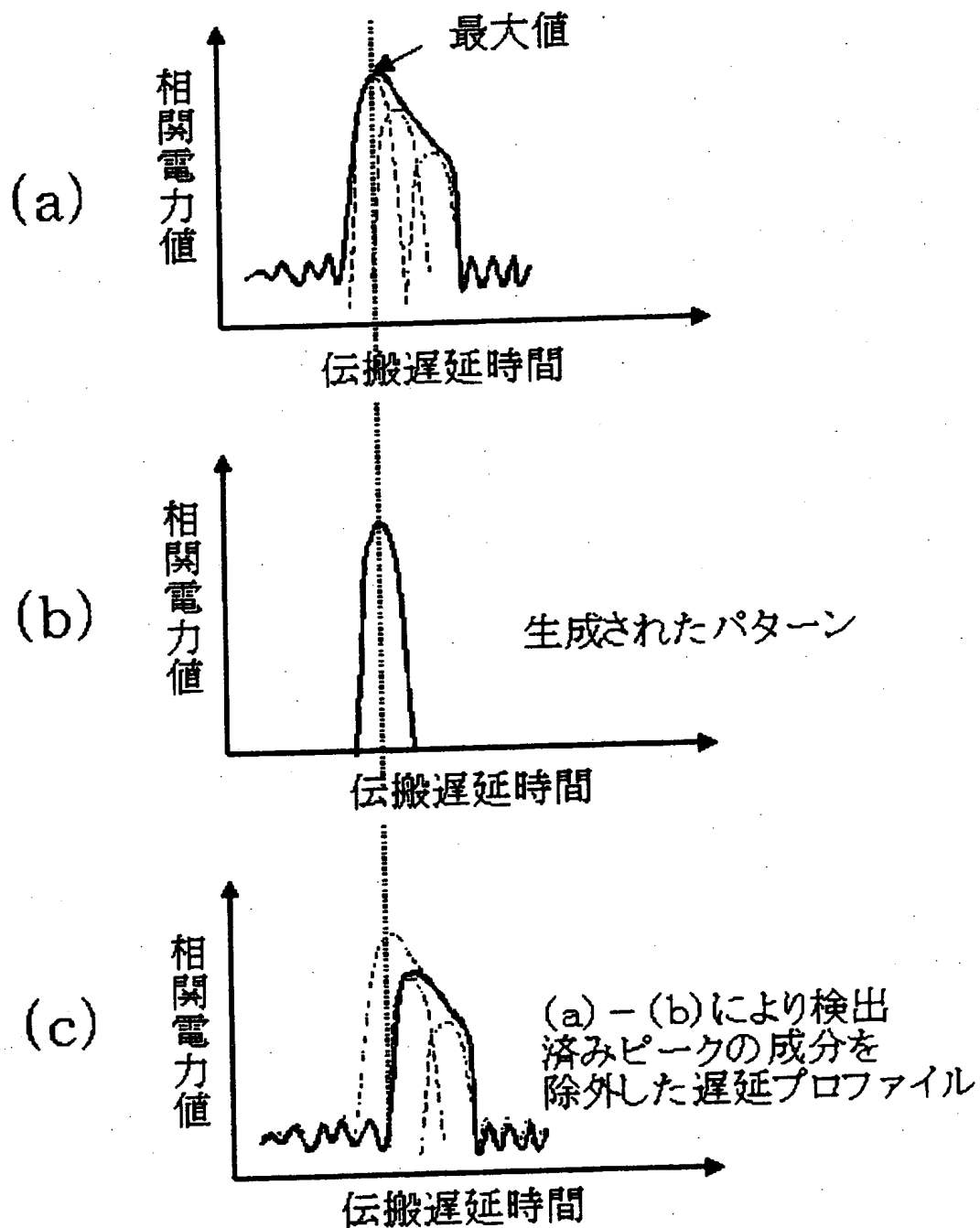
(c)



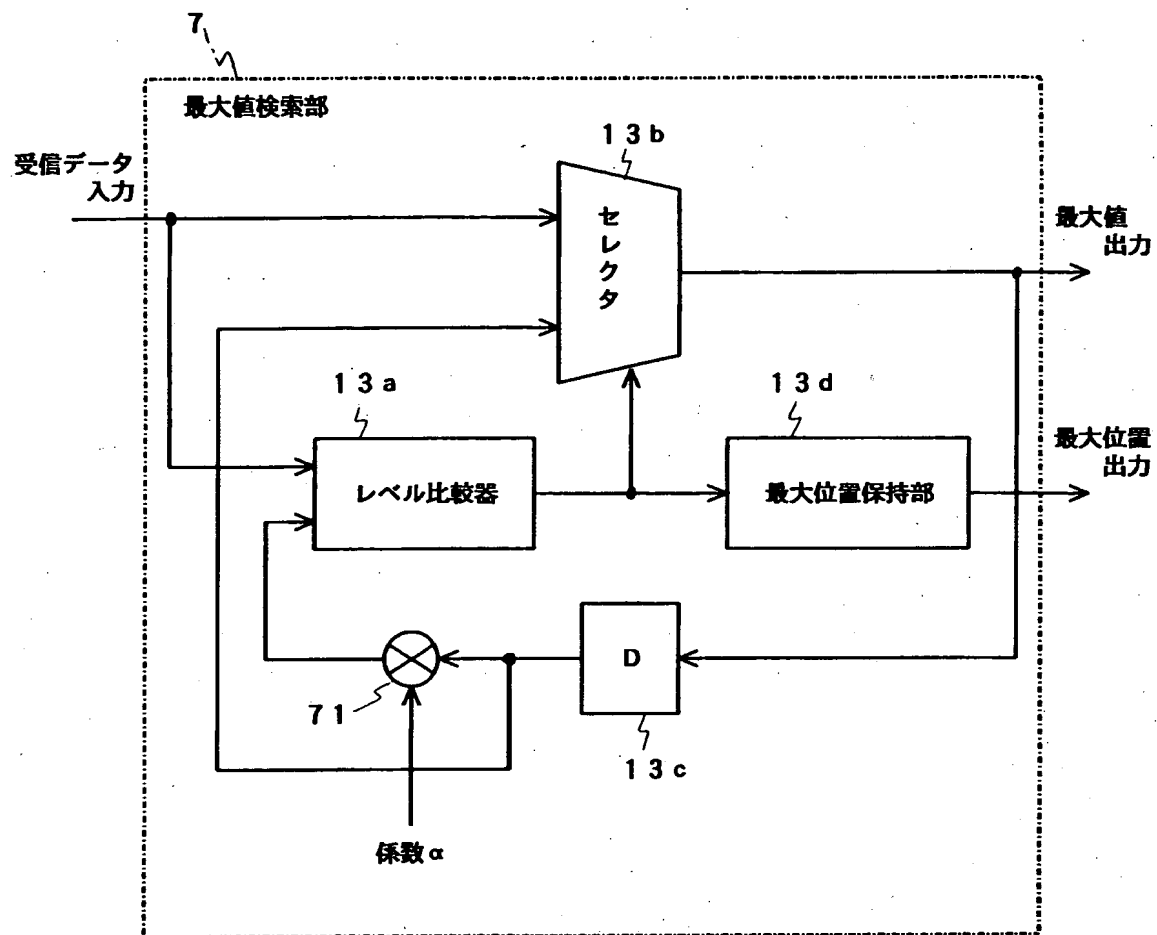
【図 6】



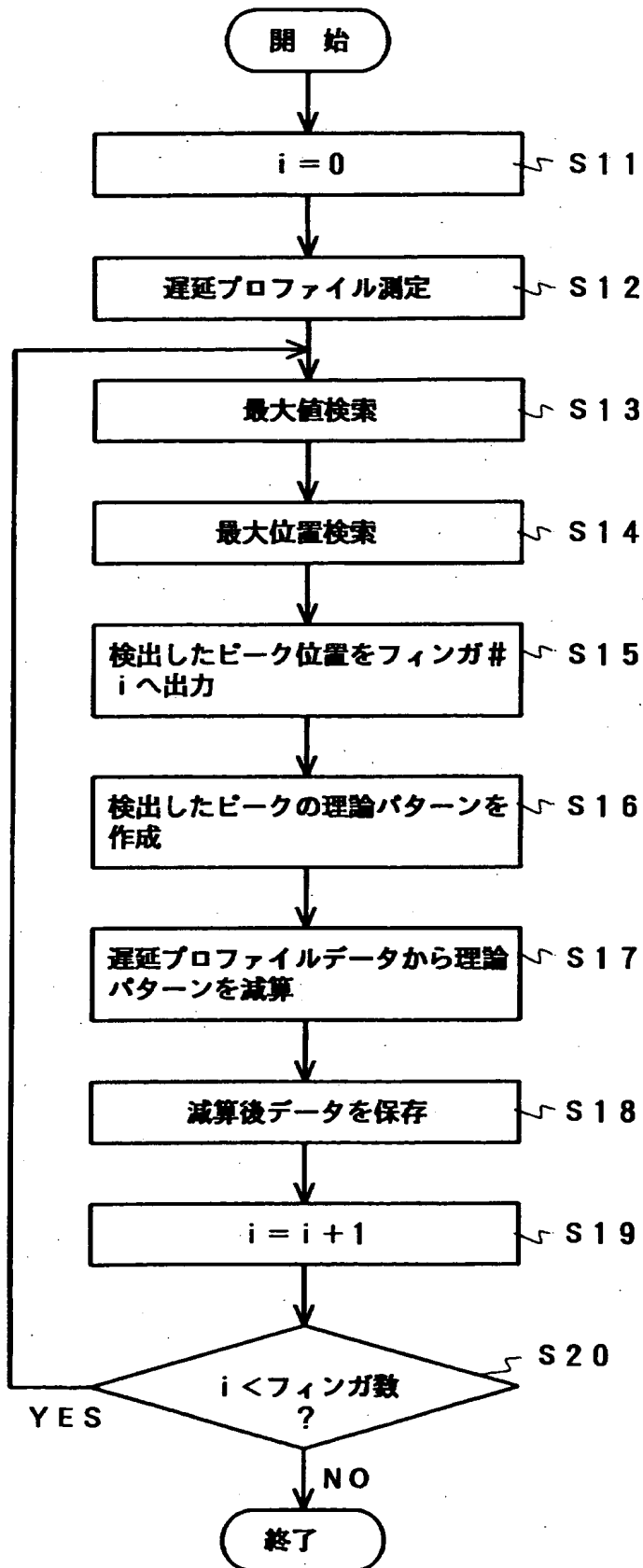
【図 7】



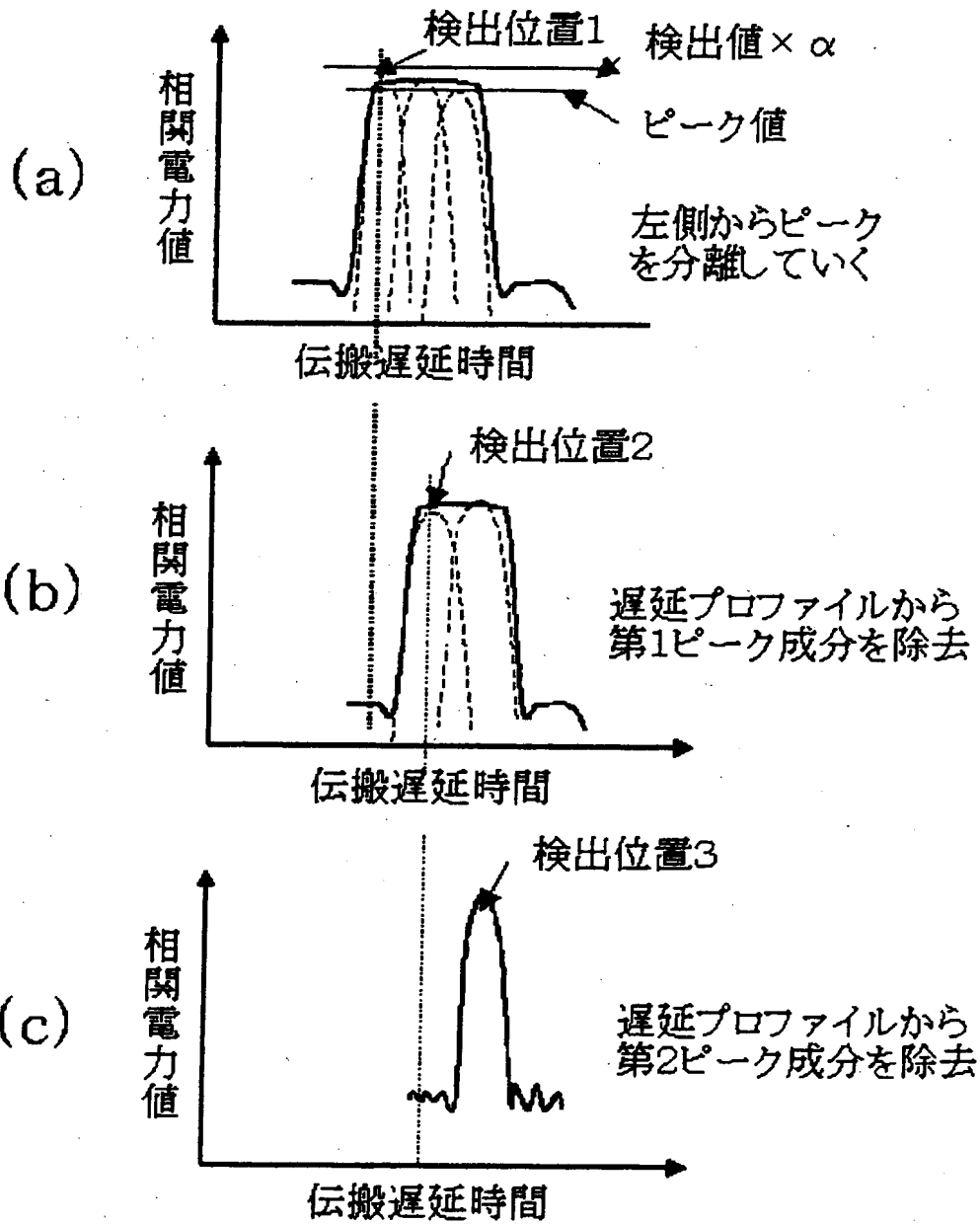
【図 8】



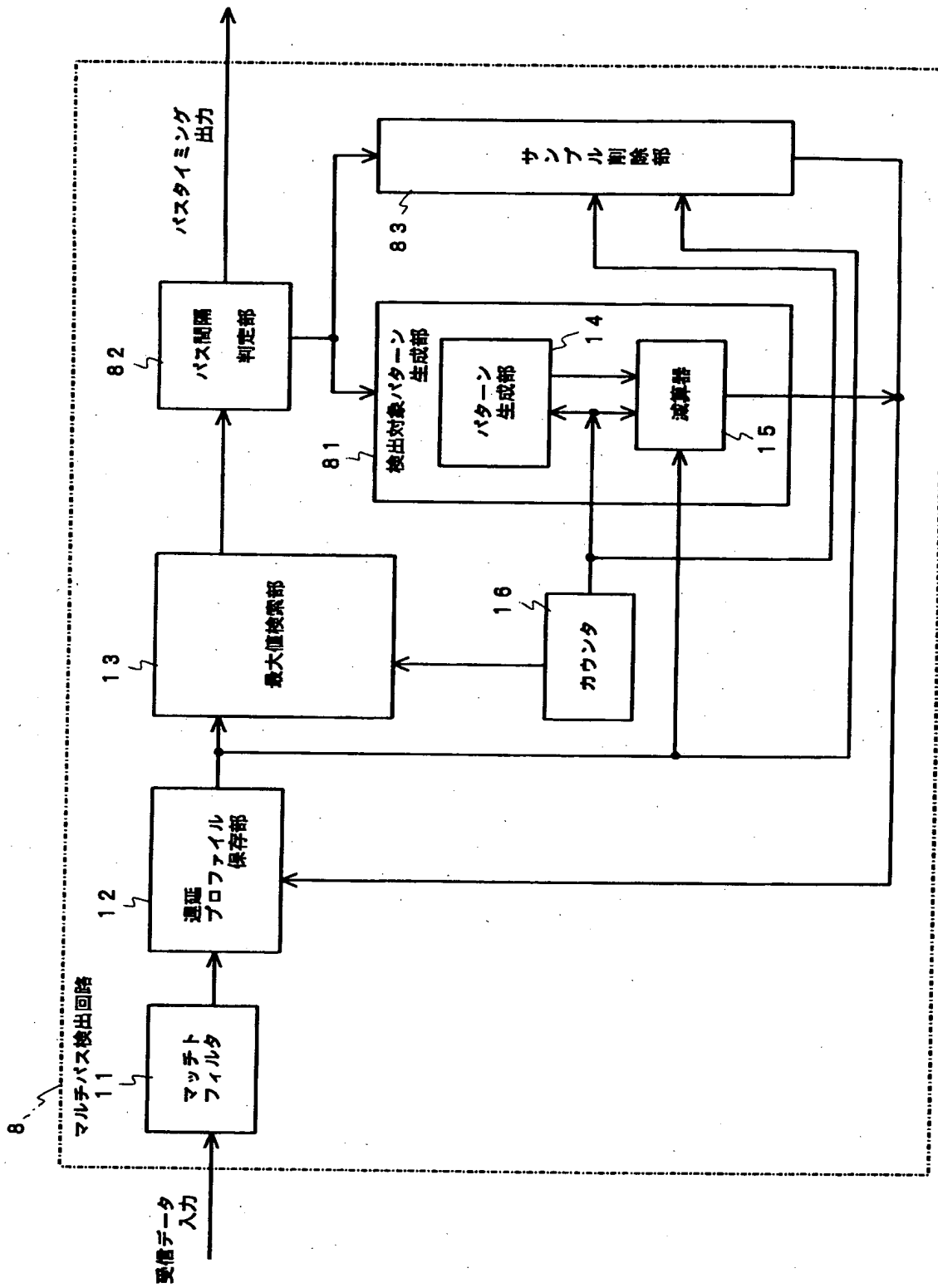
【図 9】



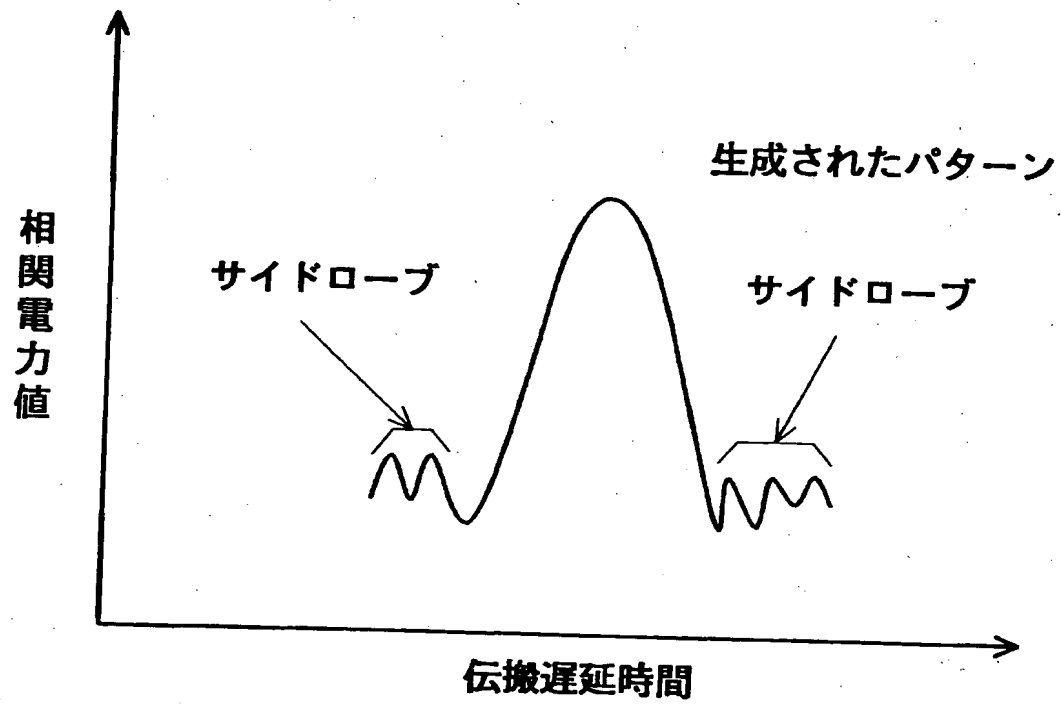
【図 1 0】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 遅延プロファイル上で重なりあってしまう程隣接したマルチパス環境において、各パスタイミングの検出精度を高くし、より安定した受信性能を得られるマルチパス検出回路を提供する。

【解決手段】 遅延プロファイル保存部 1 2 はマッチトフィルタ 1 1 で測定された伝送路の遅延プロファイルを保存し、最大値検索部 1 3 はこの遅延プロファイルから第一位の相関ピーク（パス）の最大ピーク位置及びピークレベルを得る。パターン生成部 1 4 は最大値検索部 1 3 から得られたピークレベル及びピーク位置を基に相関ピークの理論形状を生成する、減算器 1 5 は第 2 位のピークを検出する際に遅延プロファイル保存部 1 2 内の遅延プロファイルデータから第一位の相関ピークの理論パターンを減算する。カウンタ 1 6 はマルチパス検出回路 1 内における処理回数を測定する。

【選択図】 図 1

出 願 人 履 歷 情 報

識別番号

[000004237]

- | | |
|----------|---------------|
| 1. 変更年月日 | 1990年 8月29日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都港区芝五丁目7番1号 |
| 氏 名 | 日本電気株式会社 |